

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075127

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H01L 29/784

H01L 27/12

(21)Application number : 03-262605

(71)Applicant : CANON INC

(22)Date of filing : 17.09.1991

(72)Inventor : OSADA YOSHIYUKI

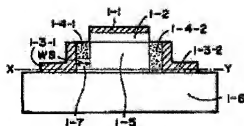
(54) THIN-FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the channel conductance and dielectric strength of a thin-film semiconductor device by employing a structure in which the junction between a metal electrode and a lightly-doped semiconductor layer is located on a far side of a heavily-doped source region from a drain region so that charges collected near the source can be quickly drawn to the source electrode.

CONSTITUTION: A semiconductor layer 1-5 is formed in the shape of an island on an insulating substrate 1-6.

Metal electrodes 1-3-1 and 1-3-2 are provided on opposite sides of the semiconductor layer 1-5, and these electrodes are in contact with a source 1-4-1 and a drain 1-4-2, respectively. In this structure, the source and drain of high impurity concentration serve to shield the semiconductor layer 1-5 near the electrodes from the electric field furnished by a gate electrode 1-1. Therefore, it is possible to control the extraction and injection of holes in a stable manner.



(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75127

(43)公開日 平成5年(1993)3月28日

(51)Int.Cl.⁵

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 29/784

27/12

8728-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 S

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号 特願平3-282605

(22)出願日 平成3年(1991)9月17日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 長田 芳孝

東京都大田区下丸子3丁目30番2号 キャ

ノン株式会社内

(74)代理人 弁理士 山下 達平

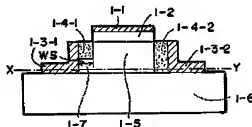
(54)【発明の名称】 薄膜半導体装置

(57)【要約】

(修正有)

【構成】 島状半導体層の側面においてソース部およびチャネル部をそれぞれ堆積する高濃度不純物領域1-4-1および低濃度の半導体層1-5、1-7と、高濃度不純物領域および低濃度の半導体層の両方に隣接して接続された金属電極1-3-1とを備え、金属電極と低濃度の半導体層との接触面が、ドレイン領域側1-4-2からみて、ソースを構成する高濃度不純物領域より後退した位置に置かれている薄膜半導体装置。

【効果】 チャネル・コンダクタンスが良好でドレイン耐圧が大きく、製造工程が簡易であり、集積度の大きな薄膜半導体装置を形成できる。



1

【特許請求の範囲】

【請求項1】 絶縁基板上に島状に分離された半導体層と、前記島状半導体層の側面においてソース部およびチャネル部をそれぞれ構成する高濃度不純物領域および低濃度の半導体層と、前記高濃度不純物領域および低濃度の半導体層の両方に隣接して接続された金属電極とを備えた薄膜半導体装置において、前記金属電極と前記低濃度の半導体層との接続面が、ドレイン領域側からみて、前記ソースを構成する高濃度不純物領域より後退した位置に置かれていることを特徴とする薄膜半導体装置。

【請求項2】 前記金属電極の仕事関数が、半導体層の電子親和力とフェルミ準位の和より大きいことを特徴とする請求項1記載のn-チャネル薄膜半導体装置。

【請求項3】 前記金属電極の仕事関数が、半導体層の電子親和力とフェルミ準位の和より小さいことを特徴とする請求項2記載のp-チャネル薄膜半導体装置。

【請求項4】 前記金属電極および低濃度の半導体層との接続面の、ドレイン領域側からみて前記ソースを構成する高濃度不純物領域からの後退幅が、前記金属電極とより低濃度の半導体層との接続により生ずる空乏層幅より小さいことを特徴とする請求項2記載の薄膜半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜半導体装置、とくに絶縁基板上に半導体層が島状に形成された薄膜トランジスタのような薄膜半導体装置に関する。

【0002】

【従来の技術】従来、この種の薄膜半導体装置においては、基板電位を固定する基板電極が存在しないため、ドレイン電圧を上昇させたときに、ドレイン近傍の画素イオン化により生ずる電荷、とくにチャネル電流を構成する電荷と反対の極性を持つ電荷（以下蓄積電荷と称す）を有効に半導体層から引き抜かず、前記蓄積電荷がソース近傍に大量に蓄積してチャネル電位を変化させるため、ドレイン電圧-ドレイン電流特性にみられるキック現象や、ソース・ドレイン耐圧の低下といった動作不安定が問題となっていた。

【0003】従来の薄膜半導体装置の構成例を図9に示す。2-1は、ゲート電極、2-2はゲート絶縁膜、2-3-1および2-3-2はそれぞれソース電極とドレイン電極、2-4-1と2-4-2はソースおよびドレインを形成するn型高濃度不純物領域、2-5はチャネル部を構成する半導体層、2-6は絶縁基板、n-チャネル薄膜半導体装置を構成している。この薄膜半導体装置において、ドレイン電圧が上昇してゆくとき、ドレイン2-4-2近傍の電界が強くなり、チャネル電流を構成する電子による画素イオン化が生ずる。図10は、n-チャネル薄膜半導体装置のソース・ドレイン間の半導体層内のバンド構造を示すバンド図で、2-4-1

(2)

特開平5-75127

2

はソース、2-4-2はドレイン、2-7はチャネル電流を構成する電子、2-8および2-9はそれぞれ上記の画素イオン化により生ずる電子および正孔である。正孔2-9は、ドリフトおよび拡散によりソース2-4-1の側へ移動する。しかしソースを構成するn型高濃度不純物領域（n領域）の近傍のチャネル部には電位の最も低い領域2-10が存在するため、正孔は領域2-10に蓄積し、この領域のチャネル電位を次第に上昇させる。これに伴い、ソースからチャネルへの注入電子2-11の量が増加する。こうしてチャネル電流が増加し、その結果、画素イオン化による正孔がさらに増加して蓄積する。このようなチャネル電流増加による画素イオン化-正孔蓄積-チャネル電流増加という正帰還ループによりチャネル電流が飛躍的に増加し、結果としてソース・ドレイン間のブレイクダウンに至る。p-チャネル薄膜半導体装置の場合にも、基本的状況は、上記n-チャネル薄膜半導体装置の場合と同様である。

【0004】薄膜半導体装置の基板フローテning動作に伴う上記のような耐圧低下を改善するため、近年いくつかの提案がなされている。たとえば、「電子通信学会技術研究報告」Vol.1、SDM-90、No.138、43頁〜50頁には、いわゆるLDD構成が示されている。この構成では、ソースおよびドレインを構成する高濃度不純物領域に隣接して、前記高濃度不純物領域と同型の不純物を含む不純物低濃度不純物領域が設けられており、この低濃度不純物領域の存在によりドレイン近傍の電界が弱められ、チャネル電流による画素イオン化が起こる確率が低く抑えられる。

【0005】

【発明が解決しようとしている課題】しかしこの構成では、ドレイン近傍の電界を低く抑えようとするれば、前記低濃度不純物領域の不純物濃度を低く抑えなければならず、このためこの部分の抵抗値が大きくなり、チャネルに対する寄生抵抗を形成する。すなわちLDD構成では、耐圧とチャネル・コンダクタンスとが相反関係にあり、チャネル・コンダクタンスが良好でかつ耐圧の大きな装置を得ることは困難であった。

【0006】さらに、前記の公知文献には、いわゆるソース・オーバーラップ構成が示されている。これは、ソースおよびドレインに隣接して設けられた低濃度不純物領域が深くチャネル領域に入り込み、ゲート電極と大きな重なりを有する構成で、前記のLDD構成の欠点である寄生抵抗の形成による電流駆動能力の低下を克服している。しかし、このゲート・オーバーラップLDD構成では、斜め回転イオン注入の利用など、製造工程が本質的に複雑であり、ゲート電極からの電界により前記低濃度不純物領域電位が歪み、特にチャネル・オフ時の耐圧が十分でなかった。

【0007】薄膜半導体装置の耐圧向上のための別な手法として、「電子通信学会技術研究報告」Vol.1、SS

(3)

特開平5-75127

D-85, No. 303, 43頁~47頁に示されるように、 n -チャネル薄膜半導体装置のソース領域を n 型不純物高濃度領域と p 型不純物高濃度領域の平滑的な交互配列により構成し、ソース近傍に設置した正孔を p 型不純物高濃度領域より引き抜く構造が提案されている。この構成においては、本来、チャネル電流を流入、流出させる部分である n 型不純物高濃度領域の面積の一部が、正孔を引き抜くための p 型不純物高濃度領域に使われるため、コンタクト抵抗が増加する。

【0008】本発明は上記のような状況に鑑みなされたもので、ソース近傍に蓄積する上記電荷（ n -チャネルのときは正孔、 p -チャネルのときは電子）をソース電極に速やかに引き抜くことにより、チャネル・コンダクタンスが良好で耐圧が大きく、かつ製造工程が容易な薄膜半導体装置を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明によれば、絶縁基板上に島状に形成された半導体層と、前記島状半導体層の側面においてソース部およびチャネル部をそれぞれ構成する高濃度不純物領域および低濃度の半導体層と、前記高濃度不純物領域および低濃度の半導体層の両方に隣接して接続された金属電極とを備えた薄膜半導体装置において、前記金属電極と前記低濃度の半導体層との接触面が、ドレイン領域側からみて、前記ソースを構成する高濃度不純物領域より後進した位置に置かれていることを特徴とする薄膜半導体装置が提供される。

【0010】すなわち本発明による薄膜半導体装置の構成においては、ソースおよびドレインを構成する高濃度不純物領域が金属電極の近傍の半導体層をゲート電極による電界の影響から遮蔽する構造のため、正孔の引き抜きおよび金属電極からの正孔注入の抑制を安定して行うことが可能である。

【0011】

【実施例】以下、本発明を実施例について詳細に説明する。

【0012】図1は、本発明の第1の実施例による薄膜半導体装置の断面図であり、符号1-6は溶融石英ガラスをはじめとするガラス基板、あるいはサファイアなどの結晶性絶縁基板からなる絶縁基板、1-5は Si 、 SiC 、 $SiGe$ 、 $GaAs$ 、 CdS 、 $CdSe$ などからなるチャネルを構成する半導体層、1-4-1、1-4-2はソース、ドレインを構成する不純物高濃度領域、1-3-1、1-3-2は金属電極、1-2はゲート絶縁層、1-1はゲート電極である。半導体層1-5は、多結晶半導体でも、単結晶半導体でも良く、絶縁基板1-6上に島状に形成される。半導体層1-5を塩漬手段で形成する場合には、常圧CVD法、減圧CVD法、MBE法、スパッタ法、プラズマCVD法などが用いられる。あるいは、半導体ウエハ表面に酸素などのイオンを打ち込んで絶縁層をウエハ内に形成し、半導体層をパ

ルク半導体層と分離形成する手法（SIMOX）などを用いることができる。

【0013】半導体層1-5を島状に形成する手法としては、基板上に堆積した半導体薄膜を通常のフォトリソグラフィによるパターニングする方法、あるいはボックス状四部をを含む基板表面全体に半導体層を堆積し、その後選択的腐食によりボックス状四部以外の多結晶 Si を除去して、ボックス状四部に島状半導体層を得る手法などが用いられる。

【0014】金属電極1-3-1、1-3-2の基 η は、ソース1-4-1およびドレイン1-4-2の一方もしくは両方に設け、かつその一部が半導体層1-5にも接するように半導体層1-5の側面に設けられている。

【0015】以下、本発明による薄膜半導体装置の動作について、半導体層1-5が Si からなる場合を例にとって説明する。

【0016】本発明の薄膜半導体装置においては、ドレイン近傍の高電界による周界イオン化で生成し、ソース近傍に蓄積する電荷を速やかに引き抜くために、金属電極1-3-1、1-3-2と半導体層1-5との接合部にはショットキー障壁を形成させないか、もしくはビルドイン・ポテンシャルを最小限に抑える構成となっている。

【0017】以下、半導体層1-5の真空中位から測ったフェルミレベルを ϕ_s 、金属電極の仕事関数を ϕ_m とし、 n -チャネル動作について説明する。ここで図2は、 n -チャネル薄膜半導体装置のソース-ドレイン間の半導体層内のバンド構造を示すバンド図で、1-3-1はソース、1-4-2はドレイン、1-8はチャネル電流を構成する電子、1-9および1-10はそれぞれ上記の周界イオン化により生ずる電子および正孔である。

【0018】 $\phi_s > \phi_m$ のとき、半導体層1-5と金属電極1-3-1、1-3-2との接合部に正孔にたいする障壁は形成されないで、ソース近傍に蓄積する正孔は、図2に示すように、ソースを構成する n 型高濃度不純物領域の下端の引き抜き経路1-7を通じてすみやかに金属電極1-3-1、1-3-2へ引き抜かれる。このとき、チャネル電流を構成する電子1-8は、ソース・ドレインを構成する n 型高濃度不純物領域を介してチャネル部へ引き出され、かつ引き抜かれる。

【0019】 $\phi_s < \phi_m$ のとき、半導体層1-5と金属電極1-3-2との接合部に正孔に対する障壁が形成される。したがって正孔の引き抜き経路は、 $\phi_s < \phi_m$ の時に比べると小さくなるが、ソースの n 型高濃度不純物領域の仕事関数を ϕ_s'' とすると、

$\phi_s'' < \phi_s < \phi_m$ となる。

であれば、図9に示すような、半導体層と金属電極とのショットキー接合が存在しない場合に比べ、真正孔の引

(4)

特開平5-75127

5

き抜きは速やかに行なわれるので、薄膜半導体装置の耐圧向上に一定の効果を得る。

【0020】したがってn-チャネル動作をする薄膜半導体装置の金属電極材料として、Pt、Pd、Ni、Co、CoSi、CoSi₂、MoSi₂、Ni₂Si、Ni₃Si、Pd₂Si、PtSiなどの仕事関数の大きな材料が有用である。

【0021】p-チャネル動作においても、基本的な動作は本質的に上記n-チャネル動作と同一であり、有用な金属電極材料としては、Mg、Inなどの仕事関数の小さな材料が用いられる。

【0022】ところで、ソース側のn型高濃度不純物領域1-4-1と半導体層1-5との間に形成される空乏層が引き抜き経路1-7内に大きく侵入する様な条件では、正孔の引き抜き電流は減少する。上記の条件として、たとえば半導体層1-5の不純物濃度が小さい場合が挙げられる。半導体層の不純物濃度が1.014~1.015 cm⁻³である場合には空乏層の厚さは数μm程度に達し、通常の薄膜半導体装置で用いられる半導体層の膜厚と同じオーダーとなる。このため、引き抜き経路の電位が上昇し正孔の通過にとって障害となる。

【0023】しかし、本発明による薄膜半導体装置において、φ、φ₀なる条件の下では、空乏層の電位が金属電極1-3-1と半導体層1-5の接合によるビルドイン・ポテンシャルによってある程度引き下げられるため、正孔の引き抜き経路が確保される。ただし前記の様な金属電極1-3-1による正孔引き抜き経路の確保ができるためには、ソース領域を構成する高濃度不純物層の幅W₀が、金属電極と半導体層の接合の空乏層幅以下であることが必要である。

【0024】一方、φ、φ₀である場合には、空乏層の電位が金属電極1-3-1と半導体層の接合によるビルドイン・ポテンシャルによってさらに引き上げられてしまうため、半導体層の膜厚が薄い場合や、不純物濃度が小さい場合には正孔の引き抜きが十分に行えない。

【0025】いずれの場合にも、本発明による薄膜半導体装置の構成においては、ソースおよびドレインを構成する高濃度不純物領域が金属電極1-3-1及び1-3-2の近傍の半導体層をゲート電極1-3-1による電界の影響から遮蔽する構造のため、正孔の引き抜きおよび金属電極1-3-2からの正孔注入の抑制を安定して行うことが可能である。

【0026】たとえば金属電極1-3が高濃度不純物領域1-4-1に対して、よりチャネル方向へ移動した位置にあり上記遮蔽効果が十分得られない場合、特に、チャネル・オフ時には、ゲート電極1-1からの電界によりソース及び金属電極1-3近傍の半導体層1-5の電位が大幅に低下して正孔が引き抜きにくくなり、耐圧が低下する。

【0027】このときドレイン側では、特にチャネル・

6

オフ時に、ゲート電極からの電界が直接V_{gs}を透過しリーク電流が増加する。このようなゲート電極1-1の電界の影響による耐圧低下は、半導体層1-5の純度が薄いほど顕著である。

【0028】上記の説明は、p-チャネル動作にも、またSi以外の半導体にも適用される。

【0029】また本発明による薄膜半導体装置では、ソース・ドレイン領域を形成する高濃度不純物領域にたいして、金属電極が半導体層の側面から接触する構造となっているので、コンタクト部分の面積を小さくすることができ、薄膜半導体装置による集積回路の集積度を大きくすることができ。

【0030】さらに本発明における金属電極は、ソース・ドレインを構成する高濃度不純物領域へのメタル・コンタクトであるとともに、ソース近傍へ蓄積する電荷の引き抜きを兼ねるため、作成工程が簡易である。

【0031】以下に、本発明の薄膜半導体装置を製造する具体例を図1を参照して説明する。まず石英基板の上にLPCVD法を用いて酸化シリコン膜を約200Å堆積し、その後フォトリソグラフィ工程を用いて酸化シリコン膜を、4.0μmピッチで規則的に配列する1.5μm幅の大きさの複数のパッドに分離し、さらに酸化シリコン膜パッドをその表面に堆積する石英基板の上に、基板温度700℃、ジクロロシリランSiCl₂H₂の流量0.53 l/min、塩素ガスHClの流量1.5 l/min、希釈用ガスである水素ガスの流量100 l/minの条件で熱CVD法によるSi₃N₄堆積を行い、酸化シリコン膜パッドの上のみからそれぞれ球形形成成長した、さしわたし約30μmの径のSi₃N₄単結晶をえた。次に複数のSi₃N₄単結晶を有する上記基板を、通常Si₃N₄表面を研磨する研磨工程で処理し、Si₃N₄単結晶を厚さ約800Å、さしわたし約30μmのほぼ円形の薄膜状単結晶パッドとした。さらに薄膜状単結晶パッドを1.0μm×2.5μmの長方形にパターンニングした後、n-MOS工程に準じた工程により、図1に示したような薄膜半導体装置を形成した。このときゲート電極1-1はリン原子を高濃度に含んだポリシリコン、ゲート絶縁層1-2は厚膜約1000Åの熱酸化膜で構成され、半導体層1-5は濃度が5×10¹⁶ cm⁻³の水素を含んでいた。

【0032】ソースおよびドレインを形成する高濃度不純物領域1-4は、Si₃N₄層にリン原子を高濃度でイオン注入して作成した。イオン注入は、まずリン原子のイオンの加速電圧がR_p (Protection Range) = 2000Åになるように設定し、ソースおよびドレイン部に4×10¹³ cm⁻²程度注入し、次いでソース部をレジスト膜で覆って、リン原子イオンの加速電圧がR_p = 6000Åになるように設定してドレイン部だけに4×10¹³ cm⁻²程度イオン注入を実施した。

【0033】金属電極1-3は、あらかじめ所定の形状

(5)

待間平5-75127

7

にパターン化されたレジスト膜上に、スパッタ法により白金膜を約3000Å堆積し、その後、レジストを剥離して所定の白金膜の形状を得た(試料A)。

【0034】白金膜の仕事関数の値は、Siウエハ上に白金膜を増殖し形成したショットキー・ダイオードの逆方向電流の温度特性測定から障壁高さφ_Bを求め、Siの電子親和力を4.1eVと仮定して5.7eVを得た。

【0035】また、比較用試料として、リン原子イオンの加速電圧がR_p=6000Å程度になるように設定し、ソースおよびドレイン部に4×10¹³cm⁻²程度のイオン注入を施し、その他の条件は試料Aと同一であるものを用意した(試料B)。前記の条件で作成した薄膜半導体装置のチャネル長は2μmで、チャネル幅は15μmであった。

【0036】図3および4は、試料A及び試料Bの薄膜半導体装置のドレイン電圧対ドレイン電流特性で、試料Aでは試料Bと比較してソース・ドレイン耐圧が大幅に向上していることが分かる。

【0037】図5および6は、本発明の他の実施例による薄膜半導体装置を示し、これは下記のようにして製造された。まずホウ素をドーピングした抵抗値が約10Ωcm(100)のSiウエハを酸蝕化し、厚さ約250Åの酸化膜を形成し、ついでCVD法により窒化シリコン膜を厚さ約2000Å堆積した。その後、窒化シリコン膜上にフォトレジストを塗布し、さらにこれをパターンニングして1μm×10μmのパッドとした。ついで異方性リアクティブ・イオンエッチ法によりフォトレジストをマスクとして、窒化シリコン膜、酸化膜およびSi基板をエッチング処理し、幅1μm、長さ4μm、深さ3μmのSiの島を形成した。

【0038】次に酸蝕化処理及び窒化シリコン膜堆積を行い、さらに異方性リアクティブ・イオンエッチング法を用いて、Siの島の側壁に窒化シリコン膜のスペーサを形成した。さらにフッ素酸によりスペーサの下部をエッチング除去し、その後、基板を1100℃で酸化した。Siの島直下を含む基板表面全体を酸化膜とした。

【0039】つぎに通常のn-MOS工程をもちいて、図5に示すような薄膜半導体装置を作成した。

【0040】このとき、チャネルを形成する半導体層の不純物濃度は、3×10¹⁵cm⁻³であり、ゲート酸化膜の厚さは800Åであった。更に、チャネル長は1μm、チャネル幅は7μmとした。

【0041】またソース部の高濃度不純物領域は、1群の試料においては図6に示す様にソース部の幅方向に2分割され、金属電極がSiの島の側壁および上面において2分割された高濃度不純物領域と、その間にある半導体層とに同時に接触する形になっていた。2分割された高濃度不純物領域の上面からみた幅は3000Åで、長さ5000Åであった(試料C)。また、別群の試料

8

では高濃度不純物領域は2分割されず、金属電極と半導体層は直接接触していなかった(試料D)。さらに金属電極はいずれの場合にもニッケルNiよりなり、ゲート電極の端から2000Åだけ離れて形成されていた。

【0042】またニッケル層の仕事関数の値は、Siウエハ上にニッケル膜を増殖し形成したショットキー・ダイオードの逆方向電流の温度特性測定から障壁高さφ_Bを求め、Siの電子親和力を4.1eVと仮定して5.0eVを得た。

【0043】図7および8に、それぞれ試料Cおよび試料Dのドレイン電圧対ドレイン電流特性の測定結果を示す。図7、8に示す様に、本発明による薄膜半導体装置(試料C)では、いわゆるキンク現象の抑制とドレイン耐圧の向上が図られていることがわかる。

【0044】

【発明の効果】上記の説明から明らかな様に、本発明によれば、ソース側壁に蓄積する上記電荷(n-チャンネルのときは正孔、p-チャンネルのときは電子)をソース電極に速やかに引き抜くことにより、チャネル・コンダクタンスが良好でドレイン耐圧が大きく、製造工程が簡易で、しかも無煩度の大きな薄膜半導体装置を形成できるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による薄膜半導体装置の断面図。

【図2】n-チャンネル薄膜半導体装置のソース・ドレイン間の半導体層内のバンド構造を示すバンド図。

【図3】試料Aの薄膜半導体装置のドレイン電圧対ドレイン電流特性図。

【図4】試料Bの薄膜半導体装置のドレイン電圧対ドレイン電流特性図。

【図5】本発明の他の実施例による薄膜半導体装置の一部切欠斜視図。

【図6】図5の装置の要部の拡大斜視図。

【図7】試料Cの半導体装置のドレイン電圧対ドレイン電流特性図。

【図8】試料Dの半導体装置のドレイン電圧対ドレイン電流特性図。

【図9】従来の薄膜半導体装置を説明するための断面図。

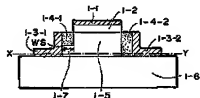
【図10】図9の薄膜半導体装置のソース・ドレイン間の半導体層内のバンド構造を示すバンド図。

【符号の説明】

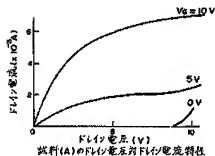
1-1、3-1 ゲート電極
1-2、3-2 ゲート絶縁膜
1-3-1、3-3-1 ソース側の金属電極
1-3-2、3-3-2 ドレイン側の金属電極
1-4-1 ソース側の高濃度不純物領域
1-4-2、3-4-2 ドレイン側の高濃度不純物領域

- 9
 1-5, 3-5 半導体層
 1-6, 3-6 絶縁基板
 1-7, 3-7 正孔の引き抜き経路
 3-1 ゲート電極

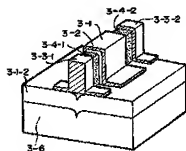
【図1】



【図3】



【図5】

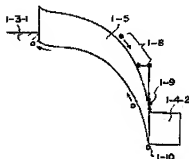


- (6) 特開平5-75127

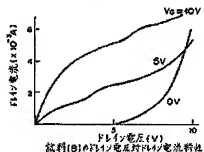
- 10
 * 3-2 ゲート絶縁膜
 3-4-1 2分割されたソースの高濃度不純物領域
 3-12 フィールド酸化層

*

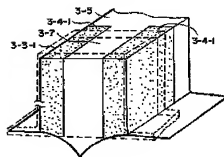
【図2】



【図4】



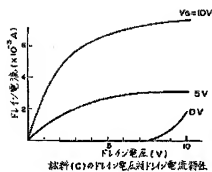
【図6】



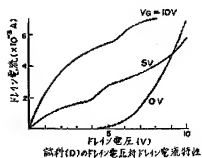
(7)

特開平5-75127

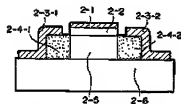
【図7】



【図8】



【図9】



【図10】

